

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-313093

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

G11C 19/00  
G02F 1/133  
G09G 3/20  
G09G 3/30  
G09G 3/36

(21)Application number : 2001-116010

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.04.2001

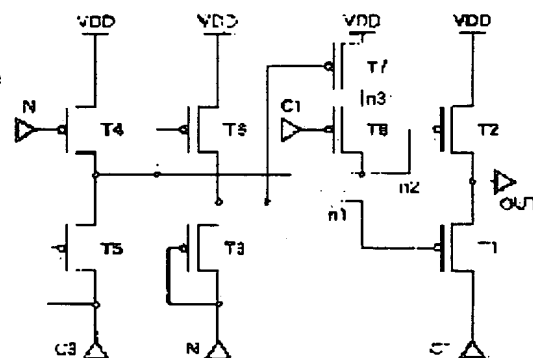
(72)Inventor : SASAKI YASUSHI  
MORITA TETSUO

## (54) SHIFT REGISTER, DRIVING CIRCUIT, ELECTRODE SUBSTRATE AND PLANAR DISPLAY DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a stable output signal in the case of that shift operation is performed by supplying a pulse-cut clock signal to a shift register constituted of a plurality of PMOS or NMOS transistors.

**SOLUTION:** An inversion preventing circuit section (seventh transistor T7 and eighth transistor T8) preventing variation of a potential of a node n2 by variation of a voltage level of an output line OUT is connected, when a clock signal C1 is made to be a LOW level, the node n2 is fixed to a HIGH level, an output signal supplied from the output line OUT is made to be a complete LOW level.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision]

of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-313093

(P2002-313093A)

(43) 公開日 平成14年10月25日 (2002. 10. 25)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 1 1 C 19/00		G 1 1 C 19/00	J 2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 2 2	G 0 9 G 3/20	6 2 2 E 5 C 0 8 0
	6 2 3		6 2 3 H
3/30		3/30	J
審査請求 未請求 請求項の数25 O L (全 14 頁) 最終頁に続く			

(21) 出願番号 特願2001-116010(P2001-116010)

(22) 出願日 平成13年4月13日 (2001. 4. 13)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 佐々木 寧

埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝深谷工場内

(72) 発明者 森田 哲生

埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝深谷工場内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

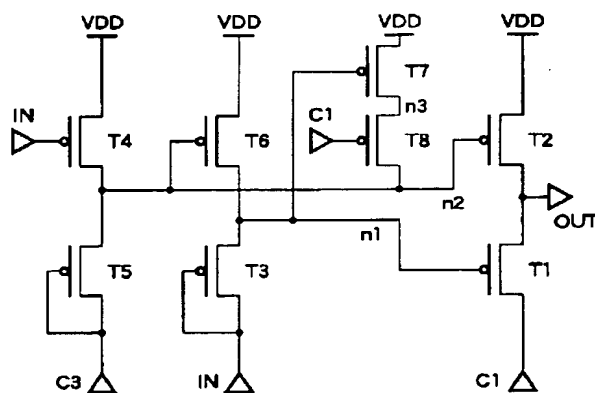
最終頁に続く

(54) 【発明の名称】 シフトレジスタ、駆動回路、電極基板及び平面表示装置

(57) 【要約】

【課題】 複数のPMOS又はNMOSトランジスタで構成されたシフトレジスタに対し、パルスカットしたクロック信号を供給してシフト動作を行う場合において、安定した出力信号が得られるようにする。

【解決手段】 出力ラインOUTの電圧レベルの変動によってノードn2の電位が変動することを防止する反転防止回路部(第7トランジスタT7と第8トランジスタT8)を接続し、クロック信号C1がLOWレベルになったときにノードn2をHIGHレベルに固定して、出力ラインOUTから供給される出力信号が完全なLOWレベルとなるようにした。



1

## 【特許請求の範囲】

【請求項 1】 入力信号より位相遅延された第 1 クロック信号が入力される第 1 入力電極、出力電極及び第 1 制御電極を有する第 1 トランジスタと、第 1 電位電圧が供給される第 2 入力電極、前記出力電極及び第 2 制御電極を有する第 2 トランジスタとを含む出力回路部と、前記入力信号が入力される第 3 入力電極及び前記第 1 制御電極を有する第 3 トランジスタと、前記第 2 入力電極、前記第 2 制御電極及び前記第 3 入力電極を有する第 4 トランジスタとを含む入力回路部と、

前記第 1 クロック信号より位相遅延された第 2 クロック信号が入力される第 4 入力電極及び前記第 2 制御電極を有する第 5 トランジスタと、前記第 2 入力電極、前記第 1 制御電極及び前記第 2 制御電極を有する第 6 トランジスタとを含むリセット回路部と、前記第 2 入力電極、第 3 制御電極及び前記第 1 制御電極を有する第 7 トランジスタと、前記第 3 制御電極、前記第 2 制御電極及び前記第 1 入力電極を有する第 8 トランジスタとを含む反転防止回路部と、を備えることを特徴とするシフトレジスタ。

【請求項 2】 前記反転防止回路部を、前記第 2 入力電極、前記第 2 制御電極及び前記出力電極を有する第 9 トランジスタで構成したことを特徴とする請求項 1 記載のシフトレジスタ。

【請求項 3】 前記第 7 トランジスタは、第 3 入力電極、第 3 制御電極及び前記第 1 制御電極を有することを特徴とする請求項 1 記載のシフトレジスタ。

【請求項 4】 前記反転防止回路部を、前記第 2 入力電極、前記第 3 制御電極及び前記第 1 入力電極を有する第 7 トランジスタと、前記第 3 制御電極、前記第 2 制御電極及び前記第 1 制御電極を有する第 8 トランジスタとで構成したことを特徴とする請求項 1 記載のシフトレジスタ。

【請求項 5】 前記第 7 トランジスタは、前記第 3 入力電極、前記第 3 制御電極及び前記第 1 入力電極を有することを特徴とする請求項 4 記載のシフトレジスタ。

【請求項 6】 前記第 1 制御電極、第 4 制御電極及び前記第 1 電位電圧よりも低い第 2 電位電圧が供給される第 5 入力電極を有する第 10 トランジスタを、前記第 1 トランジスタの第 1 制御電極と前記第 3 トランジスタの第 1 制御電極との間に接続したことを特徴とする請求項 1 乃至 5 記載のシフトレジスタ。

【請求項 7】 前記第 2 電位電圧を、接地電位付近の電位に設定することを特徴とする請求項 6 記載のシフトレジスタ。

【請求項 8】 前記第 3 トランジスタは、前記第 5 入力電極、前記第 1 制御電極及び前記第 3 入力電極を有することを特徴とする請求項 1 乃至 7 に記載のシフトレジスタ。

【請求項 9】 前記第 5 トランジスタは、前記第 5 入力

2

電極、前記第 2 制御電極及び前記第 4 入力電極を有することを特徴とする請求項 1 乃至 7 記載のシフトレジスタ。

【請求項 10】 前記第 6 トランジスタは、前記第 3 入力電極、前記第 1 制御電極及び前記第 2 入力電極を有することを特徴とする請求項 1 乃至 7 記載のシフトレジスタ。

【請求項 11】 前記入力信号より位相遅延された第 1 クロック信号と、前記第 1 クロック信号より位相遅延された第 2 クロック信号は、入力信号より位相遅延された複数のクロック信号から選択された 2 信号であることを特徴とする請求項 1 乃至 10 記載のシフトレジスタ。

【請求項 12】 前記第 5 トランジスタは、次段に接続された同一構成のシフトレジスタからの出力信号が入力される第 6 入力電極及び前記第 2 制御電極を有することを特徴とする請求項 1 乃至 10 記載のシフトレジスタ。

【請求項 13】 前記第 5 トランジスタは、次段に接続された同一構成のシフトレジスタからの出力信号が入力される第 6 入力電極及び前記第 2 制御電極を有するものであり、前記入力信号より位相遅延された第 1 クロック信号と、前記第 1 クロック信号より位相遅延された第 2 クロック信号は、入力信号より位相遅延された 2 信号であることを特徴とする請求項 1 乃至 10 記載のシフトレジスタ。

【請求項 14】 前記各トランジスタは PMOS トランジスタであり、凹型波形の入力信号をシフトすることを特徴とする請求項 1 乃至 13 記載のシフトレジスタ。

【請求項 15】 前記各トランジスタは NMOS トランジスタであり、凸型波形の入力信号をシフトすることを特徴とする請求項 1 乃至 13 記載のシフトレジスタ。

【請求項 16】 複数段に接続された請求項 1 乃至 15 記載のシフトレジスタを備え、第 1 段のシフトレジスタには入力信号としてスタートパルスが、第 2 段以降のシフトレジスタには前段のシフトレジスタからの出力信号がそれぞれ入力され、前記入力信号より位相遅延された少なくとも 2 つのクロック信号により前記入力信号を 1 段ずつ後段のシフトレジスタに出力信号としてシフトすると共に、各段のシフトレジスタ毎に出力信号を出力するように構成されたことを特徴とする駆動回路。

【請求項 17】 各段のシフトレジスタ毎に出力される前記出力信号は、水平又は垂直走査パルスとして出力されることを特徴とする請求項 16 記載の駆動回路。

【請求項 18】 少なくとも、複数の走査線及び複数の信号線の各交差部にスイッチ素子を介して接続された複数の画素電極と、これら画素電極を前記走査線及び信号線を通して駆動する請求項 16 又は 17 の駆動回路とを備えた電極基板。

【請求項 19】 前記駆動回路は、各段のシフトレジスタ毎に前記出力信号を垂直走査パルスとして前記走査線

3

に出力する走査線駆動回路であることを特徴とする請求項18記載の電極基板。

【請求項20】 前記駆動回路は、各段のシフトレジスタ毎に前記出力信号を水平走査パルスとして対応するアナログスイッチに出力する信号線駆動回路であることを特徴とする請求項18記載の電極基板。

【請求項21】 請求項18乃至20の電極基板上に表示層を形成したことを特徴とする平面表示装置。

【請求項22】 請求項18乃至20の電極基板からなる第1電極基板と、前記画素電極と相対する対向電極が形成された第2電極基板と、これら両基板間に保持された表示層とを備えることを特徴とする平面表示装置。

【請求項23】 前記表示層が有機ELであることを特徴とする請求項21又は22記載の平面表示装置。

【請求項24】 前記表示層が液晶層であることを特徴とする請求項22記載の平面表示装置。

【請求項25】 前記駆動回路を、外部駆動基板上に配置したことを特徴とする請求項21乃至24記載の平面表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶表示装置などの平面表示装置に関するもので、詳しくは、PMOS又はNMOSトランジスタで形成されたシフトレジスタと、このシフトレジスタを有する駆動回路と、この駆動回路を画素部と同一基板上に形成した電極基板と、この電極基板を備えた平面表示装置に関する。

【0002】

【従来の技術】近年、液晶表示装置に代表される平面表示装置は、薄型、軽量且つ低消費電力であることから、各種機器のディスプレイとして用いられている。中でも、画素毎にスイッチ素子を配置したアクティブマトリクス型液晶表示装置は、ノート型PCや携帯型情報端末のディスプレイとして普及しつつある。最近では、従来のアモルファスシリコンに比べて電子移動度が高いポリシリコンTFT（以下、 $p-si\text{TFT}$ ）を比較的低温のプロセスで形成する技術が確立したことにより、TFTの小型化が可能となり、このためアレイ基板上に画素部と駆動回路とを一体に形成した駆動回路内蔵型の液晶表示装置も出現している。

【0003】図16は、走査線駆動回路、信号線駆動回路及び画素部をアレイ基板上に一体に形成した液晶表示装置の概略構成を示すブロック図である。

【0004】画素部11には、複数本の走査線G1、G2、～Gn（以下、総称G）と複数本の信号線S1、S2、～Sm（以下、総称S）が互いに交差するように配線されており、これら両線の交差部には $p-si\text{TFT}$ で構成されたスイッチ素子として画素トランジスタ12が配置されている。画素トランジスタ12のゲートは1水平ライン毎に共通に走査線Gに接続され、ソースは1

4

垂直ライン毎に信号線Sに接続されている。また、ドレインは画素電極13（及び図示しない補助容量）に接続されている。この画素電極13と電氣的に相対する対向電極14は、アレイ基板10と対向配置された図示しない対向基板の表面に形成されており、両基板間には表示層として液晶層15が保持されている。

【0005】走査線駆動回路21は、垂直クロック信号（CKV）に同期して垂直スタート信号（STV）を1段づつ下方向にシフトしながら垂直走査パルスとして出力する垂直シフトレジスタ22と、図示しないレベルシフタやバッファ回路などで構成されている。垂直シフトレジスタ22の各出力端から順に出力される垂直走査パルスは、前記レベルシフタやバッファ回路などで電圧、電流増幅された後、対応する走査線Gに走査パルスとして供給される。

【0006】信号線駆動回路31は、水平クロック信号（CKH）に同期して水平スタート信号（STH）を1段づつ右方向にシフトしながら水平走査パルスとして出力する水平シフトレジスタ32と、この水平シフトレジスタ32の各出力端から出力された水平走査パルスにより映像信号バス33と信号線Sとを導通させて、映像信号バス33に供給された映像信号（DATA）を対応する信号線Sにサンプリングするアナログスイッチ34などで構成されている。

【0007】上述した画素部11、走査線駆動回路21及び信号線駆動回路31は、アレイ基板10上に同一プロセスで一体に形成されている。

【0008】図17は、走査線駆動回路21の垂直シフトレジスタ22又は信号線駆動回路31の水平シフトレジスタ32で使用される3位相シフトレジスタの概略構成を示す回路図である。3位相シフトレジスタは、直列に接続された複数のシフトレジスタSR1、SR2、SR3、SR4、～SRn（以下、総称SR）から成り、各シフトレジスタSRが第1ステージ、第2ステージ、～第nステージを構成している。また各シフトレジスタSRには、クロック信号C1、C2、C3（図16のCKH）のうちの2つのクロック信号が供給されている。第1ステージのシフトレジスタSR1には入力信号となるスタートパルスSTP（図16のSTV又はSTH）が入力され、第2～第nステージのシフトレジスタSRには、前段ステージからの出力信号が入力信号として入力される。第1～第nステージでは、2つのクロック信号に同期して前段ステージからの出力信号を後段にシフトしながら、各ステージ毎に出力信号を出力する。この出力信号は、水平又は垂直走査パルスとしてアナログスイッチ（34）又は走査線（G）に出力される。

【0009】図18は、図17に示すシフトレジスタSRの1ステージ分の構成を示す回路図であり、とくにPMOSトランジスタで構成した場合について示している。ちなみに、図18に示すようなシフトレジスタの構

5

成は、例えばUSA 5, 222, 082に開示されている。また、PMOS又はNMOSのいずれか一方の導電型をもつトランジスタで形成されたシフトレジスタに関連する特許、文献としては、例えばUSA 5, 222, 082 (トムソン)、特開2000-155550 (LG電子)、SID 00 DIGEST P1116 (LG電子)、EURO DISPLAY 99 LATE-NEWS PAPER p105 (LG電子)などが挙げられる。

【0010】また、図19は図18の各ノードn1、n2と入出力信号との関係を示すタイミングチャートである。ここでは、第1ステージのシフトレジスタSR1を例として説明するが、図18のクロック入力ラインA、Bは、図17のクロック入力ラインA、Bに対応している。従って、例えば第2ステージのシフトレジスタSR2では、クロック入力ラインAにクロック信号C3が、またクロック入力ラインBにはクロック信号C2がそれぞれ入力される。同様に、他のステージのシフトレジスタSRについても、クロック入力ラインA、Bに対応した2つのクロック信号が入力される。いずれのステージのシフトレジスタSRも、図19のタイミングチャートに従って動作する。

【0011】シフトレジスタSR1は、PMOSの第1トランジスタT1～第6トランジスタT6で構成されている。このうち、第1トランジスタT1は出力ラインOUTにクロック信号C1の信号レベルを供給し、また第2のトランジスタT2は出力ラインOUTにHIGHレベルの電圧VDDを供給する。

【0012】次に、図18に示すシフトレジスタSR1の動作を、図19のタイミングチャートを参照しながら説明する。なお、第1ステージへは入力信号としてスタートパルスが入力されるが、以降のステージでは前段ステージからの出力信号が入力信号として入力される。

【0013】時刻t1において、LOWレベルの入力信号が入力ラインINに入力されると、第3トランジスタT3及び第4トランジスタT4がONする。このうち第4トランジスタT4からはHIGHレベルの電圧VDDが供給されてノードn2はHIGHレベルになり、第2トランジスタT2及び第6トランジスタT6はOFFする。この時、第3トランジスタT3から供給されるLOWレベルの入力信号によりノードn1はLOWレベルとなるため、出力ラインOUTには、第1トランジスタT1からクロック信号C1のHIGHレベルの信号電位が供給される。

【0014】時刻t2において、入力信号がHIGHレベル、クロック信号C1がLOWレベルになると、第3トランジスタT3及び第4トランジスタT4がOFFする。このとき、ノードn1はブートストラップノードとなるため、LOWレベルよりもさらに低電圧になる。この結果、第1トランジスタT1のゲートにはしきい値以

6

上の低い電圧が印加され、出力ラインOUTには、第1トランジスタT1からクロック信号C1のLOWレベルの信号電位が供給される。

【0015】ブートストラップノードとは、そのノードの電位がフローティング状態にあり、且つそのノードには寄生容量（ここでは、トランジスタのゲート～ソース・ドレイン容量）があり、その寄生容量先のノードの電位変動に伴い電位変動するようなノードをいう。また、フローティング状態とは、そのノードの電位レベルが容易に変動するような状態にあることをいう。

【0016】時刻t3において、クロック信号C1がHIGHレベル、クロック信号C3がLOWレベルになると、第5トランジスタT5がONするため、ノードn2はLOWレベルとなる。この結果、第2トランジスタT2及び第6トランジスタT6もONし、第1トランジスタT1のゲートには第6トランジスタT6から供給されるHIGHレベルの電圧VDDによりOFFする。この時、出力ラインOUTには、第2トランジスタT2からHIGHレベルの電圧VDDが供給される。

【0017】時刻t3以降は、入力信号はHIGHレベルに、ノードn1はHIGHレベルに、またノードn2は第5トランジスタT5がダイオード接続されているためLOWレベルに、出力ラインOUTはHIGHレベルに、それぞれ固定される。これによって、時刻t1で与えられたLOWレベルの入力信号が、時刻t2で出力ラインOUTから出力信号として出力するシフト動作が完了したことになる。

【0018】

【発明が解決しようとする課題】ところで、図16の垂直シフトレジスタ22の出力である垂直走査パルスや、水平シフトレジスタ32の出力である水平走査パルスにおいて、時間的に隣接するパルス間に重なりが生じると、非選択画素に映像信号が書き込まれ、表示ムラになることがある。これを防ぐ方法として、シフトレジスタに入力するクロック信号の立ち上がりとしち下がり時間差を設ける、いわゆるパルスカットと呼ばれる方法がある。図20は、図19において、クロック信号C1～C3をパルスカットした場合のタイミングチャートである。図20に示すように、同一時刻においてクロック信号C1～C3の立ち上がりとしち下がりそれぞれ重ならないように時間差が設けられている。

【0019】しかしながら、時刻t2において、クロック信号C1がLOWレベルになり、出力ラインOUTの電圧レベルが低下し始めた時、ノードn2はブートストラップノードになるため、第2トランジスタT2のゲート～ドレイン間の寄生容量により、ノードn2の電位がHIGHレベルから低下する。その結果、第2トランジスタT2がONしてHIGHレベルの電圧VDDが供給され、また第6トランジスタT6がONして第1トランジスタT1がOFFするため、出力ラインOUTの電位

7

は完全にLOWレベルまで落ちきらなくなってしまう。このような出力信号では、画素トランジスタ12やアナログスイッチ34が正常にONしなくなるので、映像信号の書き込み不足を生じることになる。このように、PMOS又はNMOS（NMOSでは出力ラインOUTが完全にHIGHレベルまで上がりきらない）のいずれか一方のトランジスタで形成されたシフトレジスタでは、表示ムラを防ぐためにクロック信号をパルスカットすると、選択画素への映像信号の書き込み不足が生じてしまうという問題点があった。

【0020】この発明の目的は、クロック信号をパルスカットした場合でも、安定した出力信号を得ることができるシフトレジスタ、駆動回路、電極基板及び平面表示装置を提供することにある。

【0021】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明は、入力信号より位相遅延された第1クロック信号が入力される第1入力電極、出力電極及び第1制御電極を有する第1トランジスタと、第1電位電圧が供給される第2入力電極、前記出力電極及び第2制御電極を有する第2トランジスタとを含む出力回路部と、前記入力信号が入力される第3入力電極及び前記第1制御電極を有する第3トランジスタと、前記第2入力電極、前記第2制御電極及び前記第3入力電極を有する第4トランジスタとを含む入力回路部と、前記第1クロック信号より位相遅延された第2クロック信号が入力される第4入力電極及び前記第2制御電極を有する第5トランジスタと、前記第2入力電極、前記第1制御電極及び前記第2制御電極を有する第6トランジスタとを含むリセット回路部と、前記第2入力電極、第3制御電極及び前記第1制御電極を有する第7トランジスタと、前記第3制御電極、前記第2制御電極及び前記第1入力電極を有する第8トランジスタとを含む反転防止回路部とを備えることを特徴とするシフトレジスタである。

【0022】請求項2の発明は、請求項1において、前記反転防止回路部を、前記第2入力電極、前記第2制御電極及び前記出力電極を有する第9トランジスタで構成したことを特徴とする。

【0023】請求項3の発明は、請求項1において、前記第7トランジスタは、第3入力電極、第3制御電極及び前記第1制御電極を有することを特徴とする。

【0024】請求項4の発明は、請求項1において、前記反転防止回路部を、前記第2入力電極、前記第3制御電極及び前記第1入力電極を有する第7トランジスタと、前記第3制御電極、前記第2制御電極及び前記第1制御電極を有する第8トランジスタとで構成したことを特徴とする。

【0025】請求項5の発明は、請求項4において、前記第7トランジスタは、前記第3入力電極、前記第3制御電極及び前記第1入力電極を有することを特徴とす

8

る。

【0026】請求項6の発明は、請求項1乃至5において、前記第1制御電極、第4制御電極及び前記第1電位電圧よりも低い第2電位電圧が供給される第5入力電極を有する第10トランジスタを、前記第1トランジスタの第1制御電極と前記第3トランジスタの第1制御電極との間に接続したことを特徴とする。

【0027】請求項7の発明は、請求項6において、前記第2電位電圧を、接地電位付近の電位に設定することを特徴とする。

【0028】請求項8の発明は、請求項1乃至7において、前記第3トランジスタは、前記第5入力電極、前記第1制御電極及び前記第3入力電極を有することを特徴とする。

【0029】請求項9の発明は、請求項1乃至7において、前記第5トランジスタは、前記第5入力電極、前記第2制御電極及び前記第4入力電極を有することを特徴とする。

【0030】請求項10の発明は、請求項1乃至7において、前記第6トランジスタは、前記第3入力電極、前記第1制御電極及び前記第2入力電極を有することを特徴とする。

【0031】請求項11の発明は、請求項1乃至10において、前記入力信号より位相遅延された第1クロック信号と、前記第1クロック信号より位相遅延された第2クロック信号は、入力信号より位相遅延された複数のクロック信号から選択された2信号であることを特徴とする。

【0032】請求項12の発明は、請求項1乃至10において、前記第5トランジスタは、次段に接続された同一構成のシフトレジスタからの出力信号が入力される第6入力電極及び前記第2制御電極を有することを特徴とする。

【0033】請求項13の発明は、請求項1乃至10において、前記第5トランジスタは、次段に接続された同一構成のシフトレジスタからの出力信号が入力される第6入力電極及び前記第2制御電極を有するものであり、前記入力信号より位相遅延された第1クロック信号と、前記第1クロック信号より位相遅延された第2クロック信号は、入力信号より位相遅延された2信号であることを特徴とする。

【0034】好ましい形態として、請求項11の前記入力信号より位相遅延された複数のクロック信号から選択された2信号、又は請求項13の前記入力信号より位相遅延された2信号を、それぞれパルスカットされたクロック信号とする。

【0035】請求項14の発明は、請求項1乃至13において、前記各トランジスタはPMOSTランジスタであり、凹型波形の入力信号をシフトすることを特徴とする。請求項15の発明は、請求項1乃至13において、

9

前記各トランジスタはNMOSトランジスタであり、凸型波形の入力信号をシフトすることを特徴とする。

【0036】また、上記目的を達成するため、請求項16の発明は、複数段に接続された請求項1乃至15記載のシフトレジスタを備え、第1段のシフトレジスタには入力信号としてスタートパルスが、第2段以降のシフトレジスタには前段のシフトレジスタからの出力信号がそれぞれ入力され、前記入力信号より位相遅延された少なくとも2つのクロック信号により前記入力信号を1段づつ後段のシフトレジスタに出力信号としてシフトすると共に、各段のシフトレジスタ毎に出力信号を出力するように構成されたことを特徴とする駆動回路である。

【0037】請求項17の発明は、請求項16において、各段のシフトレジスタ毎に出力される前記出力信号は、水平又は垂直走査パルスとして出力されることを特徴とする。

【0038】また、上記目的を達成するため、請求項18の発明は、少なくとも、複数の走査線及び複数の信号線の各交差部にスイッチ素子を介して接続された複数の画素電極と、これら画素電極を前記走査線及び信号線を通して駆動する請求項16又は17の駆動回路とを備えた電極基板である。

【0039】請求項19の発明は、請求項18において、前記駆動回路は、各段のシフトレジスタ毎に前記出力信号を垂直走査パルスとして前記走査線に出力する走査線駆動回路であることを特徴とする。

【0040】請求項20の発明は、請求項18において、前記駆動回路は、各段のシフトレジスタ毎に前記出力信号を水平走査パルスとして対応するアナログスイッチに出力する信号線駆動回路であることを特徴とする。

【0041】さらに、上記目的を達成するため、請求項21の発明は、請求項16乃至20の電極基板上に表示層を形成したことを特徴とする平面表示装置である。

【0042】請求項22の発明は、請求項16乃至20の電極基板からなる第1電極基板と、前記画素電極と相対する対向電極が形成された第2電極基板と、これら両基板間に保持された表示層とを備えることを特徴とする平面表示装置である。

【0043】請求項23の発明は、請求項21又は22において、前記表示層が有機ELであることを特徴とする。

【0044】請求項24の発明は、請求項22において、前記表示層が液晶層であることを特徴とする。

【0045】請求項25の発明は、請求項21乃至24において、前記駆動回路を外部駆動基板上に配置したことを特徴とする。

【0046】

【発明の実施の形態】次に、本発明をPMOSトランジスタで形成されたシフトレジスタと、このシフトレジスタを有する駆動回路と、この駆動回路を画素部と同一基

10

板上に形成した電極基板と、この電極基板を備えた液晶表示装置に適用した場合の実施形態について説明する。

【0047】【実施形態1】図1は、実施形態1に係わるシフトレジスタの構成を示す回路図である。図1の構成は、先に説明した図18と同じくシフトレジスタSRの1ステージ分の構成を示したもので、図18と同等部分には同一符号を付して説明する（他の実施形態についても同様とする）。また図2は、図1のノードn1、n2と入出力信号との関係を示すタイミングチャートである。

【0048】以下、図18と同じく第1ステージのシフトレジスタSR1を例として説明するが、他のステージのシフトレジスタSRも図2のタイミングチャートに従って同様に動作することは言うまでもない。

【0049】実施形態1のシフトレジスタは、第1トランジスタT1～第6トランジスタT6で構成される図18のシフトレジスタに、反転防止回路部として第7トランジスタT7と第8トランジスタT8とを接続したものである。以下、各部の構成について説明する。

【0050】第1トランジスタT1と第2トランジスタT2は、第1電位電圧となるHIGHレベルの電圧VDD、又はクロック信号C1の電位を出力信号として出力する出力回路部を構成している。第1トランジスタT1のソースはクロック信号C1が入力される第1入力電極に、ドレインは出力ラインOUTにつながる出力電極に、ゲートはノードn1の電位が入力される第1制御電極にそれぞれ対応している。また第2トランジスタT2のソースは電圧VDDが供給される第2入力電極に、ドレインは出力ラインOUTにつながる出力電極に、ゲートはノードn2の電位が入力される第2制御電極にそれぞれ対応している。

【0051】第3トランジスタT3と第4トランジスタT4は、前段ステージからの（シフトレジスタSR1では最初のステージ入力としての）入力信号を取り込む入力回路部を構成している。第3トランジスタT3のソース及びゲートは入力ラインINにつながる第3入力電極に、ドレインはノードn1の電位が供給される第1制御電極にそれぞれ対応している。また第4トランジスタT4のソースは電圧VDDが供給される第2入力電極に、ドレインはノードn2の電位が供給される第2制御電極に、ゲートは入力ラインINにつながる第3入力電極にそれぞれ対応している。

【0052】第5トランジスタT5と第6トランジスタT6は、第1トランジスタT1又は第2トランジスタT2の一方をON、他方をOFFとするリセット回路部を構成している。第5トランジスタT5のソース及びゲートはクロック信号C3が入力される第4入力電極に、ドレインはノードn2の電位が供給される第2制御電極にそれぞれ対応している。また第6トランジスタT6のソースは電圧VDDが供給される第2入力電極に、ドレイ



11

ンはノードn1の電位が供給される第1制御電極に、ゲートはノードn2の電位が供給される第2制御電極にそれぞれ対応している。

【0053】第7トランジスタT7と第8トランジスタT8は、クロック信号C1がLOWレベルになったときにノードn2をHIGHレベルに固定して、出力ラインOUTから供給される出力信号を完全なLOWレベルとする反転防止回路部を構成している。第7トランジスタT7のソースは電圧VDDが供給される第2入力電極に、ドレインはノードn3の電位が供給される第3制御電極に、ゲートはノードn1の電位が供給される第1制御電極にそれぞれ対応している。また第8トランジスタT8のソースはノードn3の電位が供給される第3制御電極に、ドレインはノードn2の電位が供給される第2制御電極に、ゲートはクロック信号C1が供給される第1入力電極にそれぞれ対応している。

【0054】次に、図1に示すシフトレジスタSR1の動作を、図2のタイミングチャートを参照しながら説明する。

【0055】時刻t1において、LOWレベルの入力信号が入力ラインINに入力されると、第3トランジスタT3及び第4トランジスタT4がONする。このうち第4トランジスタT4からはHIGHレベルの電圧VDDが供給されてノードn2はHIGHレベルになり、第2トランジスタT2及び第6トランジスタT6はOFFする。この時、第3トランジスタT3から供給されるLOWレベルの入力信号により、ノードn1はLOWレベルとなるため、第1トランジスタT1と共に第7トランジスタT7がONする。この結果、出力ラインOUTには、第1トランジスタT1からクロック信号C1のHIGHレベルの信号電位が供給される。

【0056】時刻t2において、入力信号がHIGHレベルになると、第3トランジスタT3及び第4トランジスタT4がOFFする。ここで、第1トランジスタT1の各部のW/L比（配線幅と配線長の比）を、第3トランジスタT3の各部のW/L比より十分大きく設定しておくことで、第3トランジスタT3のゲート・ドレインカップリングの影響を少なくして、ノードn1をLOWレベルに保持することができる。

【0057】時刻t3において、クロック信号C1がLOWレベルになると、第8トランジスタT8がONする。このとき、ノードn1はブートストラップノードとなるため、LOWレベルよりもさらに低電圧になる。この結果、第1トランジスタT1のゲートにはしきい値以上の低い電圧が印加され、出力ラインOUTには、第1トランジスタT1からクロック信号C1のLOWレベルの信号電位が供給される。また、この時、第7トランジスタT7及び第8トランジスタT8はONしているため、ノードn2にはHIGHレベルの電圧VDDが供給され、第2トランジスタT2及び第6トランジスタT6

12

はOFFする。ここで、ノードn2はブートストラップノードではなくなるため、出力ラインOUTの電圧レベルが低下しても、ノードn2の電位が低下することはない。従って、時刻t3に第2トランジスタT2はONすることなく、出力ラインOUTに電圧VDDが現れることがない。また、ノードn2の電位が低下することがないので、第6トランジスタT6から電圧VDDが供給されることがない。従って、時刻t3に第1トランジスタT1はOFFしないので、出力ラインOUTの電圧レベルは完全にLOWレベルまで落ちることになる。この結果、出力ラインOUTには、図2に示すような完全なLOWレベルの出力信号が供給されることになる。

【0058】時刻t4において、クロック信号C1がHIGHレベルになると、第8トランジスタT8がOFFするため、ノードn2はフローティング状態となる。この時、第1トランジスタT1はON状態のままなので、出力ラインOUTには、第1トランジスタT1を通じてHIGHレベルの電圧VDDが供給される。

【0059】時刻t5において、クロック信号C3がLOWレベルになると、第5トランジスタT5がONする。この時、反転防止回路部の2つのトランジスタのうち、第8トランジスタT8はOFF状態なので、ノードn2はLOWレベルになる。この結果、第2トランジスタT2及び第6トランジスタT6がON、ノードn1はHIGHレベルとなり、第7トランジスタT7はOFFになる。また、第1トランジスタT1もOFFとなり、出力ラインOUTには第2トランジスタT2から電源VDDのHIGHレベルの信号電圧が供給される。

【0060】時刻t5以降は、入力信号はHIGHレベルに、ノードn1はHIGHレベルに、またノードn2は第5トランジスタT5がダイオード接続されているためLOWレベルに、出力ラインOUTはHIGHレベルに、それぞれ固定される。ここで、第2トランジスタT2の各部のW/L比を、第5トランジスタT5の各部のW/L比より十分大きく設定しておくことで、第5トランジスタT5のゲート・ドレインカップリングの影響を少なくし、ノードn2をLOWレベルに保持することができる。また、反転防止回路部では、第7トランジスタT7がOFF状態となっているため、ノードn2にHIGHレベルの信号電圧が供給されることは、次に入力信号がLOWレベルとなる時まで起こることはない。

【0061】上記実施形態1のシフトレジスタによれば、パルスカットしたクロック信号を供給した場合に、出力ラインOUTの電圧レベルの変動によって、ノードn2の電位が変動することを防止することができるので、出力ラインOUTには完全なLOWレベルの出力信号を供給することができる。

【0062】次に、反転防止回路部の他の実施形態について説明する。

【0063】反転防止回路部は、図2の時刻t3のよう

13

に、出力ラインOUTがLOWレベルとなった時のみに、ノードn2にHIGHレベルの信号電圧を供給するように構成されていけばよい。

【0064】図3は、第7トランジスタT7及び第8トランジスタT8の代わりに、第9トランジスタT9を接続したものである。この第9トランジスタT9のソースは電圧VDDが供給される第2入力電極に、ドレインはノードn2の電位が供給される第2制御電極に、ゲートは出力ラインOUTにつながる出力電極にそれぞれ対応している。時刻t3において、出力ラインOUTがLOWレベルになると、第9トランジスタT9がONして、HIGHレベルの電圧VDDがノードn2に供給されるため、第2トランジスタT2及び第6トランジスタT6はOFFすることになる。

【0065】図4は、第7トランジスタT7のソースに、前段ステージからの入力信号が供給されるように構成したものである。ここで、第7トランジスタT7のソースは入力ラインINにつながる第3入力電極に、ドレインはノードn3の電位が供給される第3制御電極に、ゲートはノードn1の電位が供給される第1制御電極にそれぞれ対応している。時刻t3において、入力ラインINに供給されたHIGHレベルの入力信号は、第7トランジスタT7から第8トランジスタT8を通じてノードn2に供給されるため、第2トランジスタT2及び第6トランジスタT6はOFFすることになる。

【0066】図5は、第7トランジスタT7と第8トランジスタT8におけるゲートの接続を入れ替えたものである。ここで、第7トランジスタT7のソースは電圧VDDが供給される第2入力電極に、ドレインはノードn3の電位が供給される第3制御電極に、ゲートはクロック信号C1が入力される第1入力電極にそれぞれ対応している。また第8トランジスタT8のソースはノードn3の電位が供給される第3制御電極に、ドレインはノードn2の電位が供給される第2制御電極に、ゲートはノードn1の電位が供給される第1制御電極にそれぞれ対応している。時刻t1において、LOWレベルの入力信号が入力ラインINに入力されることにより、ノードn1がLOWレベルになると、第8トランジスタT8がONになる。その後、時刻t3において、クロック信号C1がLOWレベルになると、第7トランジスタT7がONする。この時、第7トランジスタT7と第8トランジスタT8はともにON状態となり、HIGHレベルの電圧VDDがノードn2に供給されるため、第2トランジスタT2及び第6トランジスタT6はOFFすることになる。

【0067】図6は、図5に示す第7トランジスタT7のソースに、前段ステージからの入力信号が供給されるように構成したものである。ここで、第7トランジスタT7のソースは入力ラインINにつながる第3入力電極に、ドレインはノードn3の電位が供給される第3制御

14

電極に、ゲートはクロック信号C1が入力される第1入力電極にそれぞれ対応している。時刻t3において、入力ラインINに供給されたHIGHレベルの入力信号は、第7トランジスタT7から第8トランジスタT8を通じてノードn2に供給されるため、第2トランジスタT2及び第6トランジスタT6はOFFすることになる。

【0068】【実施形態2】実施形態1のシフトレジスタSR1においては、図2の時刻t3～t4の間に、ノードn1がLOWレベルよりもさらに低い電位（LLレベル）になるため、第3トランジスタT3及び第6トランジスタT6のソース・ゲート～ドレイン間、並びに第7トランジスタT7のソース・ゲート～ドレイン間にHIGH～LOW以上（HIGH～LLレベル）の余剰電位が印加されることになる。この余剰電圧はトランジスタの特性を変動させる要因となり、信頼性の低下につながることも考えられる。

【0069】図7は、実施形態2に係わるシフトレジスタの構成を示す回路図、また図8は図7のノードn1、n2、n4と入出力信号との関係を示すタイミングチャートである。

【0070】実施形態2のシフトレジスタは、第1トランジスタT1～第8トランジスタT8で構成される図1のシフトレジスタに、各トランジスタに印加される電圧を低く抑えるための回路部として機能する第10トランジスタT10を接続したものである。第10トランジスタT10のソースはノードn4の電位が供給される第4制御電極に、ドレインはノードn1の電位が供給される第1制御電極に、ゲートは接地電位GNDにつながる第5入力電極にそれぞれ対応している。第10トランジスタT10は、第1トランジスタT1と第3トランジスタT3の間に配置されており、そのドレインは第1トランジスタT1のゲートに、またソースは第3トランジスタT3及び第6トランジスタT6のドレインにそれぞれ接続されている。

【0071】図8の時刻t1において、入力信号がLOWレベルになると、第3トランジスタT3がONして、ノードn4の電位は第3トランジスタT3のしきい値まで書き込まれる。例えば、第3トランジスタT3のしきい値が-1Vであれば、ノードn4の電位は初期電位のHIGHレベルから低下して、1Vまで書き込まれる。また、このとき、ノードn1の初期電位はHIGH（VDD）であるため、第10トランジスタT10はONし、ノードn1の電位は第10トランジスタT10のしきい値まで書き込まれる。例えば、第10トランジスタT10のしきい値が-1Vであれば、ノードn1の電位は1Vまで書き込まれる。

【0072】時刻t2において、入力信号がHIGHレベルになると、第3トランジスタT3がOFFする。このとき、第10トランジスタT10はONしているた

15

め、大きな容量をもつノードn1の電位がノードn4に書き込まれることになり、ノードn4における電位レベルの上昇は抑えられる。

【0073】時刻t3～t4において、クロック信号C1がLOWレベルとなるに伴い、ノードn1がLLレベルになると、第10トランジスタT10のソース、ゲート、ドレイン電圧は、それぞれLOWレベル（この例では1V）、LOWレベル（0V）、LLレベル（ノードn1）となる。ここで、第10トランジスタT10のソ  
10 スース～ゲート間電圧は-1Vとなるので第10トランジスタT10はOFFすることになる。したがって、ノードn4の電位は1Vからさらに低下することがなく、第3トランジスタT3、第6トランジスタT6、第7トランジスタT7に余剰電圧が印加されることがなくなる。すなわち、第3トランジスタT3と第6トランジスタT6のソース、ゲート、ドレイン電圧は、それぞれHIGHレベル、HIGHレベル、LOWレベルとなり、また第7トランジスタT7のソース、ゲート、ドレイン電圧は、それぞれHIGHレベル、LOWレベル、HIGH  
20 レベルとなる。

【0074】今、電圧VDDが17Vであるとする、時刻t3～t4の間、クロック信号C1が17Vから0Vになるので、ノードn1の電位は1V（初期値）-17V=-16Vとなる。このとき、第10トランジスタT10のソース、ゲート、ドレイン電圧は、それぞれ1V、0V、-16Vとなるので、17V以上の余剰電圧はかからないことになる。また、第1トランジスタT1についても、ソース、ゲート、ドレイン電圧は、それぞれ0V、-16V、0Vとなるので、余剰電圧はかからない。

【0075】このように、第10トランジスタT10を挿入することによって、時刻t3～t4の間、各トランジスタに印加される電圧はHIGH～LOWレベル以下となるため、余剰電圧によるトランジスタ特性の変動を生じることがなく、信頼性の高いシフトレジスタを実現することができる。

【0076】なお、第10トランジスタT10のゲートは接地電位GND付近の電位に設定されていればよい。ちなみに、GND以下の電位に落としすぎると、ノードn1、n4がHIGHレベルの時に、ゲート～ソ  
40 スース・ドレイン間にHIGH～LOWレベル以上の電圧が印加されてしまうため、第10トランジスタT10を挿入する意味がなくなってしまう。また、GND以上の電位（例えばVDD付近）に上げすぎると、時刻t1～t2の間にノードn1をLOWレベルとすることができなくなるので、時刻t3～t4の間にノードn1の電位をLLレベルまで落とせなくなる（出力ラインOUTにLOWレベルを出力できなくなる）。

【0077】上記実施形態2の第10トランジスタT10は、図1のシフトレジスタに限らず、図3～図6に示  
50

16

したシフトレジスタにも適用することができる。

【0078】【実施形態3】上記実施形態1、2では、第1トランジスタT1～第6トランジスタT6で構成される図18のシフトレジスタに付加的な回路を接続した回路構成例について説明したが、基本となるシフトレジスタについては、図18の例に限らず、様々な回路構成が考えられる。例えば、図9のように、第3トランジスタT3のソースを接地電位GNDにつながる第5入力電極に、ドレインをノードn1の電位が供給される第1制御電極に、ゲートを入力ラインINにつながる第3入力電極にそれぞれ対応させるようにしてもよい。また、同じく図9に示すように、第5トランジスタT5のソースを接地電位GNDにつながる第5入力電極に、ドレインをノードn2の電位が供給される第2制御電極に、ゲートをクロック信号C3が入力される第4入力電極にそれぞれ対応させるようにしてもよい。また、図10に示すように、第6トランジスタT6のソースを前段ステージからの入力ラインINにつながる第3入力電極に、ドレインをノードn1の電位が供給される第1制御電極に、ゲートを電圧VDDが供給される第2入力電極にそれぞれ  
20 対応させるようにしてもよい。

【0079】また、図11、図12に示すように、第5トランジスタT5に入力されるクロック信号C3として、次段のシフトレジスタからの出力信号を供給するようにしてもよい。図11、図12において、第5トランジスタT5のソース及びゲートは次段のシフトレジスタからの出力信号が供給される第6入力電極に、ドレインはノードn2の電位が供給される第2制御電極にそれぞれ対応している。

30 【0080】図11（A）、（B）は、図7のシフトレジスタに適用した場合の回路図であり、（A）は第nステージのシフトレジスタ、（B）は第n+1ステージのシフトレジスタの回路構成をそれぞれ示している。第nステージの第5トランジスタT5には、第n+1ステージのシフトレジスタからの出力信号OUTn+1が入力され、第n+1ステージの第5トランジスタT5には、図示しない第n+2ステージのシフトレジスタからの出力信号OUTn+2が入力される。

【0081】図12（A）、（B）は、図3のシフトレジスタに適用した場合の回路図であり、（A）は第nステージのシフトレジスタ、（B）は第n+1ステージのシフトレジスタの回路構成をそれぞれ示している。この例においても、第nステージの第5トランジスタT5には、第n+1ステージのシフトレジスタからの出力信号OUTn+1が入力され、第n+1ステージの第5トランジスタT5には、図示しない第n+2ステージのシフトレジスタからの出力信号OUTn+2が入力される。

【0082】図13は、図11又は図12のシフトレジスタで構成された2位相シフトレジスタの概略構成を示す回路図である。図11又は図12のような回路構成と

17

した場合は、図13に示すようにクロック信号の本数を3本から2本に削減することができる。これによって、シフトレジスタの入力信号の削減を図り、狭額縁化、低消費電力を実現することができる。図11、図12のタイミングチャートを図14に示す。図14では、クロック信号C1、C2のパルス幅が、図2に示すクロック信号C1～C3に比べて短くなっている。

【0083】なお、第5トランジスタT5への入力として次段のシフトレジスタからの出力信号を供給する構成は、ここまで説明してきた各実施形態のシフトレジスタに適用することができる。

【0084】【実施形態4】上記実施形態1乃至3では、PMOSトランジスタを用いて凹型波形の入力信号をシフトするシフトレジスタについて説明したが、図15に示すように、NMOSトランジスタを用いて凸型波形の入力信号をシフトするシフトレジスタを構成することもできる。図15は、図1のシフトレジスタをNMOSトランジスタで構成した場合の回路構成図である。

【0085】また、上記各実施形態に示したシフトレジスタを使って、図17に示すような駆動回路（図11、12のシフトレジスタでは図13に示すような駆動回路）を構成することができ、さらに、これらの駆動回路を図16に示すようなアレイ基板10上に形成することによって、液晶表示装置を構成することができる。この液晶表示装置では、パルスカットしたクロック信号を使うことができるので、表示ムラ等を生じることがなく、また選択画素への映像信号の書き込み不足を生じることがないので、良好な表示品位を得ることができる。

【0086】なお、各実施形態のシフトレジスタにより構成された駆動回路（図17又は図13）は、アレイ基板10上に画素部11と一体に形成されたものでなくてもよく、例えば、図示しない外部駆動基板上にコントロールIC等と共に配置されたものであってもよい。

【0087】さらに、各実施形態のシフトレジスタで構成された駆動回路は、液晶表示装置又はその電極基板に適用されるだけでなく、例えば、電極基板上に有機ELを形成した構造の平面表示装置、又は対向配置された2つの電極基板間に有機ELを保持した構造の平面表示装置にも適用することができる。

【0088】また、本発明に係わるシフトレジスタは、上記実施形態のような平面表示装置の駆動回路や電極基板に限らず、シフトレジスタを含む回路全般に適用することができる。

【0089】

【発明の効果】以上説明したように、本発明によれば、出力信号の電圧レベル変動により、シフトレジスタ内のノード電位が変動するのを防止することができるので、パルスカットしたクロック信号を用いた場合でも、シフトレジスタから安定した出力信号を得ることができる。とくに、このシフトレジスタを含む駆動回路や電極基板

18

を平面表示装置に適用した場合は、表示ムラや映像信号の書き込み不足のない良好な表示品位を得ることができる。

【0090】また、出力信号の出力時に各トランジスタに印加される電圧をHIGH～LOWレベル以下とする第10トランジスタを接続した場合は、余剰電圧によるトランジスタ特性の変動を生じることがないので、信頼性の高いシフトレジスタを得ることができる。

【図面の簡単な説明】

【図1】実施形態1に係わるシフトレジスタの構成を示す回路図。

【図2】図1のノードn1、n2と入出力信号との関係を示すタイミングチャート。

【図3】図1のシフトレジスタに第9トランジスタT9を接続した場合の構成を示す回路図。

【図4】第7トランジスタT7のソースに前段ステージからの入力信号が供給されるように構成した場合の回路図。

【図5】第7トランジスタT7と第8トランジスタT8におけるゲートの接続を入れ替えた場合の回路図。

【図6】図5に示す第7トランジスタT7のソースに前段ステージからの入力信号が供給されるように構成した場合の回路図。

【図7】実施形態2に係わるシフトレジスタの構成を示す回路図。

【図8】図7のノードn1、n2、n4と入出力信号との関係を示すタイミングチャート。

【図9】実施形態3に係わるシフトレジスタの構成を示す回路図。

【図10】実施形態3に係わるシフトレジスタの他の構成を示す回路図。

【図11】実施形態3に係わるシフトレジスタの別の構成を示す回路図。（A）は第nステージのシフトレジスタの構成を示す回路図。（B）は第n+1ステージのシフトレジスタの構成を示す回路図。

【図12】実施形態3に係わるシフトレジスタのさらに別の構成を示す回路図。（A）は第nステージのシフトレジスタの構成を示す回路図。（B）は第n+1ステージのシフトレジスタの構成を示す回路図。

【図13】図11又は図12のシフトレジスタで構成された2位相シフトレジスタの概略構成を示す回路図。

【図14】図11、12のノードn1、n2、n4と入出力信号との関係を示すタイミングチャート。

【図15】図1のシフトレジスタをNMOSトランジスタで構成した場合の回路図。

【図16】走査線駆動回路、信号線駆動回路及び画素部をアレイ基板上に一体に形成した液晶表示装置の概略構成を示すブロック図。

【図17】3位相シフトレジスタの概略構成を示す回路図。

19

【図18】図17に示すシフトレジスタSRの1ステージの構成を示す回路図。

【図19】図18の各ノードn1、n2と入出力信号との関係を示すタイミングチャート。

【図20】図19において、クロック信号C1～C3をパルスカットした場合のタイミングチャートである。

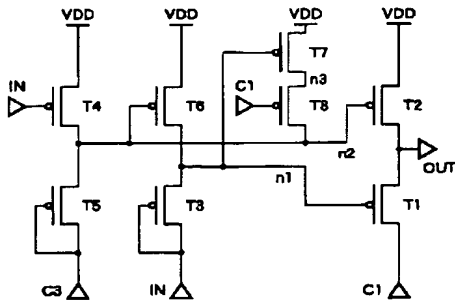
【符号の説明】

10…アレイ基板、11…画素部、12…画素トランジスタ、13…画素電極、14…対向電極、15…液晶 \*

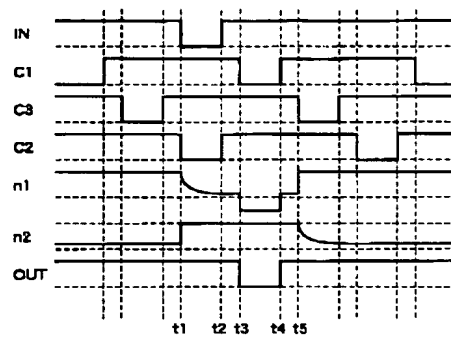
20

\*層、21…走査線駆動回路、22…垂直シフトレジスタ、31…信号線駆動回路、32…水平シフトレジスタ、33…映像信号バス、34…アナログスイッチ、S1、S2、～Sm…信号線、G1、G2、～Gn…走査線、SR1、SR2、SR3、SR4、～SRn…シフトレジスタ、T1～T10…PMOS（又はNMOS）トランジスタ、C1～C3…クロック信号、n1～n4…ノード

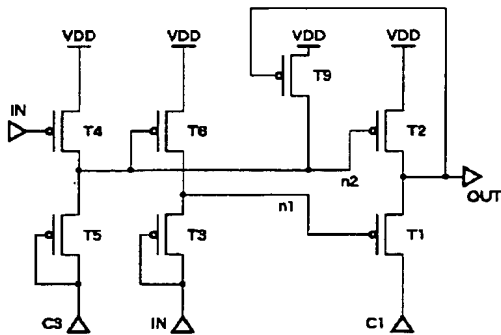
【図1】



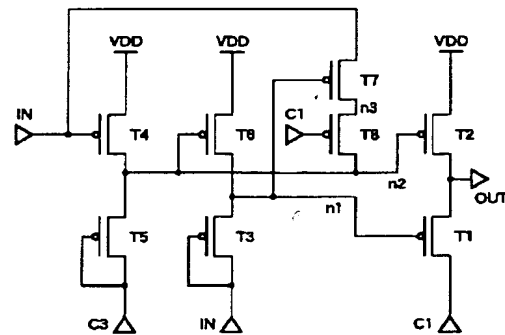
【図2】



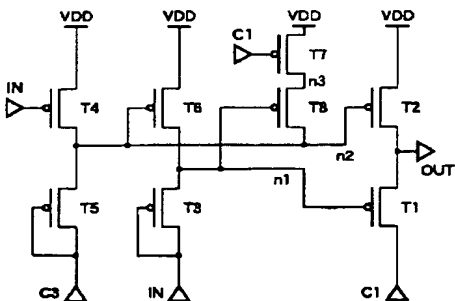
【図3】



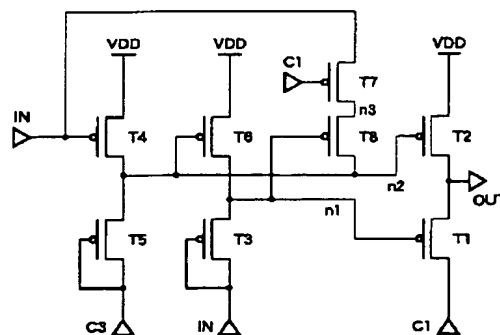
【図4】



【図5】

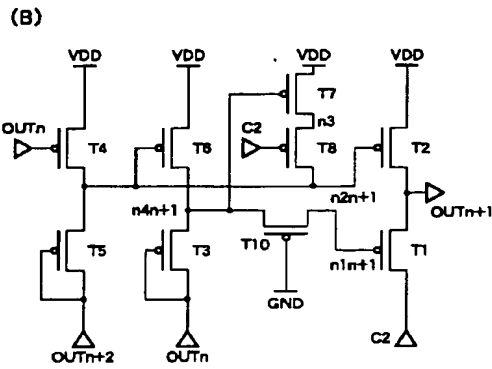
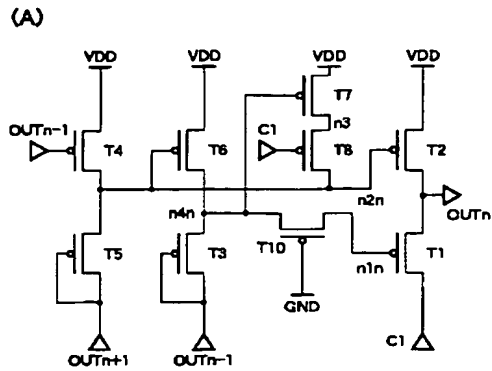


【図6】

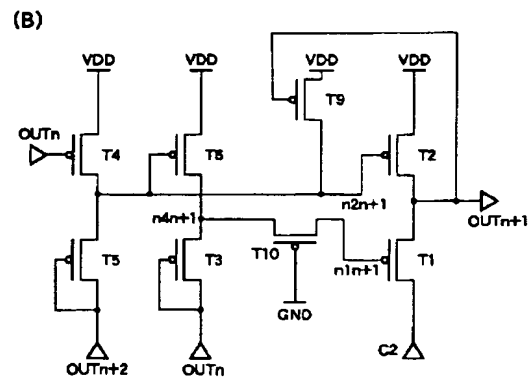
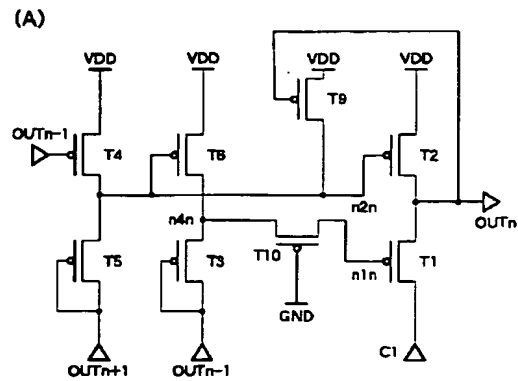




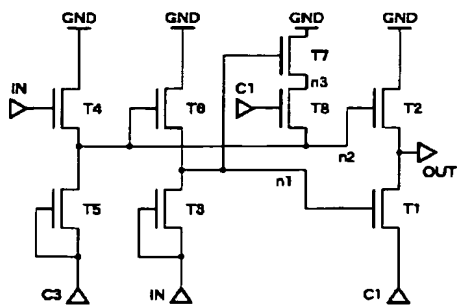
【図11】



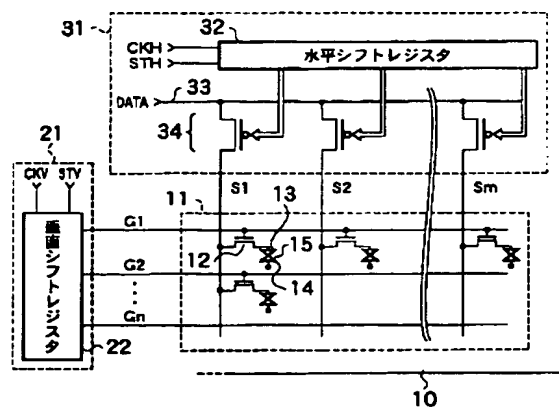
【図12】



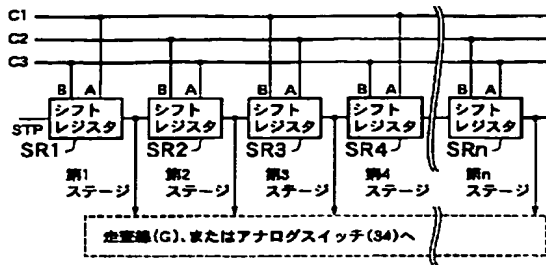
【図15】



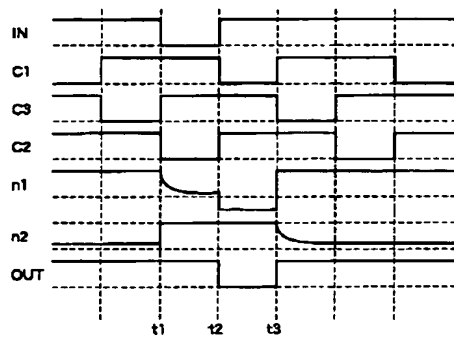
【図16】



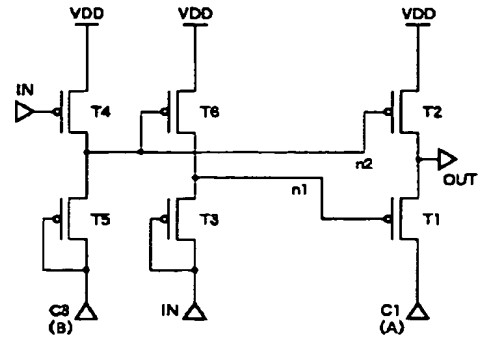
【図17】



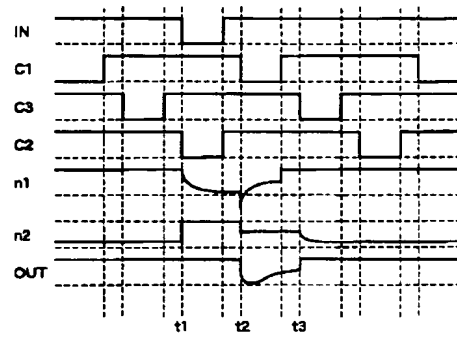
【図19】



【図18】



【図20】



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/36

識別記号

F I

G 0 9 G 3/36

テーマコード(参考)

Fターム(参考) 2H093 NC09 NC11 NC22 ND33  
5C006 AF50 BC16 BC20 BF03 BF34  
FA37  
5C080 AA06 AA10 BB05 DD09 DD25  
FF11 JJ02 JJ03 JJ04